



(19)

(11) Publication number:

58184626 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 57067936

(51) Int. Cl.: G06F 1/04

(22) Application date: 22.04.82

(30) Priority:

(43) Date of application publication: 28.10.83

(84) Designated contracting states:

(71) Applicant: TOSHIBA CORP

(72) Inventor: KONISHI KUNYOSHI

(74) Representative:

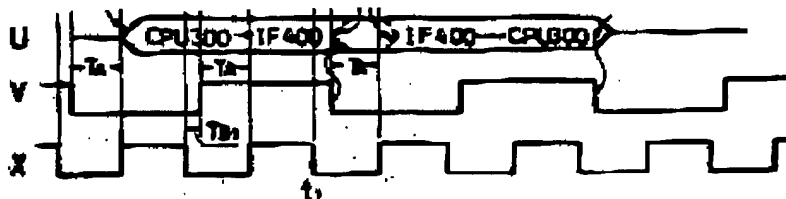
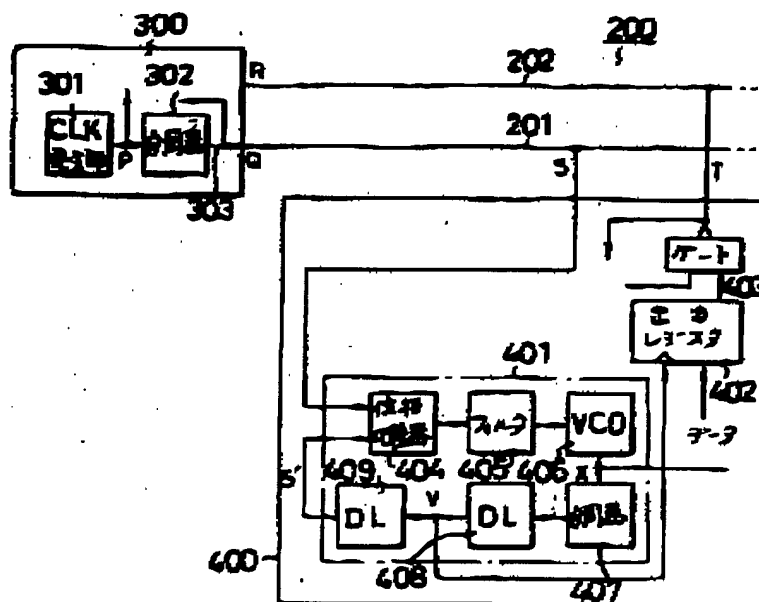
## (54) BUS CLOCK SYNCHRONIZATION SYSTEM

(57) Abstract:

**PURPOSE:** To increase a transfer speed, by generating signals which have a frequency as high as and are in phase with a bus timing and a basic clock signal generated in a CPU in an interface.

**CONSTITUTION:** The basic clock signal X and bus timing signal V which have the frequency as high as and are in phase with the basic clock signal P and bus timing signal Q generated in the CPU300 are generated in the IF400. Bus data U transferred to the IF400 with delay of time  $T_A$  as well as the bus timing signal is inputted to an input register at timing  $t_1$  where the AND of the signal V and X results in a failure. Then, the IF400 outputs transfer data U to a data line 202 through an output register 402 and a gate 403. The bus data U arrives at the CPU300 as bus data R with delay of signal propagation time  $T_A$ .

COPYRIGHT: (C)1983,JPO&amp;Japic



Ref-8

28

⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開  
昭58—184626

⑫ Int. Cl.<sup>9</sup>  
G 06 F 1/04

識別記号

庁内整理番号  
7056—5B

⑬ 公開 昭和58年(1983)10月28日

発明の数 1  
審査請求 未請求

(全 7 頁)

## ⑭ バスクロック同期方式

東京都府中市東芝町1番地東京  
芝浦電気株式会社府中工場内

⑯ 特 願 昭57—67936

⑰ 出 願 人 東京芝浦電気株式会社

⑱ 出 願 昭57(1982)4月22日

川崎市幸区堀川町72番地

⑲ 発 明 者 古西邦芳

⑳ 代 理 人 弁理士 鈴江武彦 外2名

## 明 細 書

## 1. 発明の名称

バスクロック同期方式

## 2. 特許請求の範囲

(1) クロックラインを含むバスと、このバスにそれぞれ接続され、このバスを介してデータ送受信を行なう中央処理装置並びにインタフェースとを具備し、上記中央処理装置に、第1種基本クロック信号を発生する基本クロック発生部と、この基本クロック発生部で発生される上記第1種基本クロック信号を  $1/N$  分周して第1種バスタイミング信号を出力する第1分周器と、この第1分周器から出力される上記第1種バスタイミング信号を上記バスのクロックラインに導く手段とを設ける一方、上記インタフェースに、上記バスのクロックライン上の信号を入力信号とし、位相比較信号が前記入力信号の周波数および位相と一致するように制御する位相ロックループ回路とを設ける一方、可変周波数発生部の出力信号  $1/N$  分周する第2分周器と、この第2分周器の出力信号をそのまま或いは時間  $T_1$  遅延した後、時間  $T_1$  遅延して上記位相比較信号を出力する遅延手段とを有する位相ロックループ回路を設け、上記可変周波数発生部の出力信号を上記インタフェースが使用する第2種基本クロック信号とし、上記第2分周器の出力信号、或いは当該第2分周器の出力信号を時間  $T_1$  遅延した信号を上記インタフェースが使用する第2種バスタイミング信号とすることを特徴とするバスクロック同期方式。

(2) 上記第1種バスタイミング信号の周期を  $T_1$ 、 $n$  を0以上の整数とすると、上記時間  $T_1$  は  $n \cdot T_1$  と「第1分周器の遅延時間—第2分周器の遅延時間」との和であることを特徴とする特許請求の範囲第1項記載のバスクロック同期方式。

(3)  $n$  を0以上の整数とすると、上記時間  $T_1$  は  $n \cdot T_1$  と「上記バスによる上記中央処理装置、インタフェース間の信号伝播時間」との和であることを特徴とする特許請求の範囲第2項

記載のバスクロック同期方式。

### 3. 発明の詳細な説明

#### 〔発明の技術分野〕

本発明は中央処理装置で発生されるバスタイミング信号に基づいてデータ送受信を行なうインターフェースを備えたシステムに好適するバスクロック同期方式に関する。

#### 〔発明の技術的背景とその問題点〕

一般にこの種のシステムは、第1図に示されるように中央処理装置（以下、CPUと称する）10、および入出力チャネル等のインターフェース（以下、IFと称する）11〜14などがバス15に接続されている構成となっている。このようなシステムでは、バス15を介して高速データ転送を行なう場合、各IF11〜14をそれぞれに対して基準となるクロックを分配する方法が採用されていた。この方式では、第2図の（シャーン内）マザーボードの要略図に示されているように、クロックラインとして印刷配線パターンを用いず、同一図長のケーブル21〜

特開明58-184625(2)

24を用い、これらのケーブル21〜24を介して各IF11〜14にそれぞれ独立にクロックを供給してタイミングを合わせるようになっていた。

しかし、この方式では

(1) ケーブル配線が煩雑である。

(2) 各IFに対してそれぞれ別々にクロック供給を行なうため、クロック供給用のドライバ回路がIFの台数分だけ必要となり、コスト高となると共に装置の小型化が図れなくなる。

(3) 別シャーンあるいは別筐体にバスを拡張する必要がある場合、ケーブル配線が一層複雑になる。

などの欠点があり問題であった。

このため、従来のシステムでは、CPU10からバス15の図示せぬクロックラインを経由してバスタイミング信号を各IF11〜14などに共通に供給し、各IF11〜14がこのバスタイミング信号を用いてバス15にデータを送出する方法が採用されていた。第3図はこのよ

うな方式が適用される場合の例えばIF12の内部構成を示すもので、101はバス15（第1図参照）の図示せぬクロックラインを経由してCPU10（第1図参照）から転送されるバスタイミング信号が入力されるゲートである。102はゲート101の出力信号に応じて出力データをラッチする出力レジスタ、103は出力レジスタ102の内容をバス15に出力するゲートである。

第1図のシステムにおいて第3図に示される如く構成されたIF12（IF11、12、14についても同じ）の動作を第4図のタイミングチャートを参照して簡単に説明する。なお、この説明に先立って、CPU10内で生成される基本クロック信号をA、同じくCPU10内で生成され、CPU10からバス15のクロックライン（図示せず）に送出されるバスタイミング信号をBと定数する。また、バス15に於けるCPU10接続位置近傍のバスタークをC、バス15（内のクロックライン）に於けるIF12

接続位置近傍のバスタイミング信号をD、バス15に於けるIF12接続位置近傍のバスタークをEと定数する。CPU10は第4図に示されるように基本クロック信号Aに同期したバスタイミング信号Bを発生し、バス15のクロックラインに送出している。このように状態でCPU10がIF12にデータを転送するため、バスタイミング信号Bに同期してバス15上にバスタークCを送出したものとす（第4図参照）。このバスタークC、更には上記バスタイミング信号Bは、バス15を経由し、第4図に示されているようにバス15に於けるCPU10、IF12間の距離に応じた時間分遅延してそれぞれバスタークE、バスタイミング信号DとしてIF12に伝達される。またバスタイミング信号DはIF12内のゲート101で遅延される。次にIF12が上記バスタイミング信号D（実際にはゲート101の出力信号）に基づいてバスタークEを取り込んだ後、次のバスタイミング信号においてCPU10にデータを転送するものとす

る。すなわち、121は第4図に示されるようにバスタイミング信号D（実際にはゲート101の出力信号）に同期したバスマスターEを出力レジスタ102、ゲート103を介してバス15上へ送出する。このバスマスターEは、CPU10から1213へのデータ伝送の場合と同様に前述した時間分送延し、バスマスターCとしてCPU10に入力される。

このように上述した方式では、

(1) データ伝送速度がバス(15)の往復の伝送路長と、ゲート(101)などの回路素子の遅延時間に依存するため、データ伝送速度の一層の高速化を実現することが困難である。

(2) バスタイミング信号にノイズが乗った場合にデータ送受信動作が不能となる。このため、例えばマザーボードにおいてバスを構成する伝送路パターンの中で、バスタイミング信号用のクロックラインパターンだけは、他の伝送路パターンから離して配置し、ノイズが乗ることを防止しなければならぬ。

いる。そしてこの位相ロツクループ回路において、可変周波数振動器の出力信号をそのまま上記位相比較信号とするのではなく、当該可変周波数振動器の出力信号を第2分周器によって1/N分周し、この分周出力を遅延手段によって時間T<sub>1</sub>遅延し、或いは時間T<sub>2</sub>遅延した後、更に時間T<sub>3</sub>遅延してその遅延出力を上記位相比較信号とするようにしている。そして、本発明では、上記第1および第2分周器による各信号遅延時間 $\tau_1$ 、 $\tau_2$ 、 $\tau_3$ を上記バスに属するCPU、121間の信号伝播時間を考慮してT<sub>1</sub>、T<sub>2</sub>、T<sub>3</sub>を適切に設定することにより、上記可変周波数振動器の出力信号を上記第1種基本クロック信号と周波数並びに位相が一致した第2種基本クロック信号として用いることができ、かつ上記第2分周器の分周出力または当該分周出力を時間T<sub>1</sub>遅延した信号を上記第1種バスタイミング信号と周波数並びに位相が一致した第2種バスタイミング信号として用いることができるようにしている。

特開2000-184626 (3)

などの欠点があった。

#### 〔発明の目的〕

本発明は上記事情に鑑みてなされたものでその目的は、簡単に形成でありながらバスを經由したデータ伝送速度の高速化が図れるバスクロック同期方式を提供することにある。

#### 〔発明の概要〕

本発明では、クロックラインを含むバスにCPU（中央処理装置）およびIP（インタフェース）が接続される構成とし、上記CPUに第1種基本クロック信号を発生する基本クロック発生部と、上記第1種基本クロック信号を1/N分周して第1種のバスタイミング信号を出力する第1分周器と、上記第1種バスタイミング信号を上記バスのクロックラインに導く手段とを設けている。更に本発明では、上記インタフェースに、上記バスのクロックライン上の信号を入力信号とし、回路内で発生される位相比較信号が当該入力信号の周波数および位相と一致するように制御する位相ロツクループ回路を設けて

#### 〔発明の実施例〕

以下、本発明の実施例を図面を参照して説明する。第5図において、200はバスであり、クロックライン201およびデータライン202を含んでいる。200はバス200に接続されるCPUであり、基本クロック発生部（以下、CLK発生部と称する）201および分周器（第1分周器）202を備えている。CLK発生部201は基本クロック信号P（第1種基本クロック信号）を発生し、分周器202はこの基本クロック信号Pの周波数を1/Nに減速（1/N分周）してバスタイミング信号Qを出力する機能を有している。このバスタイミング信号Qは信号ライン203を介してクロックライン201に送出される。

400はバス200に接続されるIP（インタフェース）であり、位相ロツクループ回路（以下、PLL回路と称する）401、出力レジスタ402、およびゲート403を備えている。PLL回路401において、404はクロックラ

特開58-184626(4)

イン<sub>101</sub>からIF<sub>100</sub>に入力されるペースタイミング信号Bを入力信号とし、この入力信号と位相比較信号Bとの位相差を比較する位相比較器である。なお上記ペースタイミング信号BはCPU<sub>100</sub>からクロックライン<sub>201</sub>上へ送出される前記ペースタイミング信号Qがクロックライン<sub>201</sub>を経由し、時間 $T_1$ 遅れてIF<sub>100</sub>に伝播する信号である。すなわちペースタイミング信号Qはクロックライン<sub>201</sub>におけるCPU<sub>100</sub>近傍位置近傍のペースタイミング信号を示し、ペースタイミング信号Bは同じくクロックライン<sub>201</sub>におけるIF<sub>100</sub>近傍位置近傍のペースタイミング信号を示すものである。また、時間 $T_1$ はクロックライン<sub>201</sub>すなわち<sup>62</sup>IF<sub>100</sub>によるCPU<sub>100</sub>、IF<sub>100</sub>間の信号伝播時間(伝播遅延時間)である。108は位相比較器104の出力を積分する積分器回路(以下、単にフィルタと称する)、109はフィルタ108の出力に応じた周波数の信号Xを出力する可変周波数発生器、例えば電圧制御発振器

位相比較器104に供給される。

次に本発明の一実施例の動作を図5図のタイミングチャート参照して説明する。CPU<sub>100</sub>が起動状態にある場合、CLK発生部101から常時基本クロック信号Pが発生出力されている(第6図参照)。分周器102はこの基本クロック信号Pを1/N分周し(この例ではN=2)、基本クロック信号Pに同期したペースタイミング信号Qを出力する。このペースタイミング信号Qは信号ライン<sub>303</sub>を介してバス100のクロックライン<sub>201</sub>に常時送出されている。なお、ペースタイミング信号Qは第6図に示されるように分周器102の回路遅延時間 $T_1$ だけ基本クロック信号Pより遅れている。この場合、信号ライン<sub>303</sub>による遅延は殆んど無視できる。

クロックライン<sub>201</sub>に送出されているペースタイミング信号Qは、クロックライン<sub>201</sub>を経由し、クロックライン<sub>201</sub>によるCPU<sub>100</sub>、IF<sub>100</sub>間の信号伝播時間 $T_1$ だけ遅れ、第6図に示されているようにペースタイミング信号B

(以下、VCと称する)である。本実施例ではVCO<sub>108</sub>から出力される信号Xを基本クロック信号X(第2番基本クロック信号)としてIF<sub>100</sub>内で使用するようにしている。107は上記基本クロック信号Xを1/N分周する分周器、108は分周器107の出力信号を時間 $T_1$ 遅延する遅延手段、例えば遅延器(以下、DLと称する)である。本実施例において、DL<sub>108</sub>の遅延時間 $T_2$ は分周器107の回路遅延時間 $T_2$ に一致している。なお、 $T_2 > T_1$ であるものとする。本実施例ではDL<sub>108</sub>の出力信号をペースタイミング信号V(第2番ペースタイミング信号)としてIF<sub>100</sub>内で使用するようにしている。109は上記ペースタイミング信号Vを時間 $T_1$ 遅延する遅延手段、例えばDL(遅延器)である。本実施例においてDL<sub>109</sub>の遅延時間 $T_3$ は前記時間 $T_1$ (CPU<sub>100</sub>、IF<sub>100</sub>間の信号伝播時間)に一致している。DL<sub>109</sub>の出力信号は位相比較信号Bとして

としてIF<sub>100</sub>に入力される。PLL回路101は、DL<sub>108</sub>の出力信号である位相比較信号Bの周波数並びに位相が、クロックライン<sub>201</sub>より入力される入力信号としての上記ペースタイミング信号Bのそれと一致するように動作している。第6図には、PLL回路101の動作により、位相比較信号Bの周波数並びに位相がペースタイミング信号Bのそれと一致したいわゆる系のロック状態における信号B、B'が示されている。第5図の構成から明らかなように上記位相比較信号Bを出力するDL<sub>108</sub>の入力信号すなわちペースタイミング信号Vは、位相比較信号BよりDL<sub>108</sub>の遅延時間分すなわち時間 $T_1$ だけ遅れている。前述したようにペースタイミング信号Bはペースタイミング信号Qより時間 $T_1$ だけ遅れている(第6図参照)。したがって上述したように系がロック状態にある場合には、上記ペースタイミング信号Vはペースタイミング信号Qと周波数並びに位相が一致している(第6図参照)。このとき、分周器107の出力信号

はバスタイミング信号Vより $T_{11} - T_{12}$ だけ進んでいる。また分周器107の入力信号であるVCO100の出力信号すなわち基本クロック信号Xは、分周器107の出力信号より(分周器107の回路遅延時間) $T_{12}$ だけ進んでいる。すなわち上記基本クロック信号Xは第8図に示されるようにCPU300内部の論理基本クロック信号Pと周波数並びに位相が一致する。このように本実施例によれば、CPU300内で発生される基本クロック信号Pおよびバスタイミング信号Qと、それぞれ周波数並びに位相が一致している基本クロック信号Xおよびバスタイミング信号VをIP400内で発生することができ、この結果、たとえCPU300から送られるバスタイミング信号Qにノイズが乗ったとしても、IP400でのデータ送受信動作には何ら悪影響を及ぼす恐れはない。したがって、例えばマザーボードにおいて、バス300を構成する伝送路パターンの中でクロックライン201だけを他の伝送路パターンから離して配置する

XのAND条件が不成立となるタイミング(時刻i<sub>1</sub>)で図示せぬ入力レジスタに取り込まれる。

次に、CPU300からIP400に対するデータ転送のバスサイクルの次のサイクルにおいて、IP400がCPU300にデータを転送するものとする。このとき、IP400はDL400の出力信号である前記バスタイミング信号Vに同期して、転送データを出力レジスタ401、ゲート402を介してバス300のデータライン202上に送出する。この結果、IP400近傍のデータライン202の状態すなわちバスデータUは第8図に示される如く変化する。なお、図中IP400→CPU300はIP400からCPU300への転送データであることを示すものである。上記バスデータUはデータライン202を経由し、(CPU300からIP400へのデータ転送の場合と同様に)信号伝播時間 $T_2$ 遅れてCPU300に到達する。この結果、CPU300近傍のデータライン202の状態すなわちバスデータBは第8図に示される通りとなる。

14458-184626(5)

ことが不要となる。このためマザーボードにおける印刷配線板の製造効率を向上することができ、

このような状態でCPU300がIP400に対してデータを転送するものとする。CPU300がバス300(のデータライン202)を介してデータ転送を行なう場合、CPU300はバスタイミング信号Qに同期してデータをデータライン202に送出する。したがって、この場合、CPU300近傍のデータライン202上のバスデータBは第8図に示される通りとなる。なお、図中CPU300→IP400はCPU300からIP400への転送データであることを示すものである。上記バスデータBはデータライン202を経由し、バスタイミング信号Qと同様に時間 $T_2$ 遅れてIP400に伝播される。この結果、IP400近傍のデータライン202上のバスデータU(データライン202の状態)は第8図に示される通りとなる。上記バスデータUはIP400に入力され、例えば信号V、

以上の説明から明らかのように本実施例によれば、CPU300内部で発生されるバスタイミング信号Q(および基本クロック信号P)と周波数並びに位相が一致しているバスタイミング信号V(および基本クロック信号X)をIP400内部で発生でき、このバスタイミング信号Vに同期してIP400からのデータ転送が行なわれる。このため、IP400からCPU300へのデータ転送の遅延時間は、データライン202におけるIP400、CPU300間の片道の伝送路長の遅延時間だけとなり、CPUから転送されるバスタイミング信号をそのまま用いてデータ転送を行なう従来の方式に比べて1/2となる。

なお、前記実施例では分周器302、407の回路遅延時間 $T_{11}$ 、 $T_{12}$ が $T_{11} > T_{12}$ であるものとして説明したが、 $T_{11} \leq T_{12}$ の場合にも本方式は容易に適用できる。例えば $T_{11} = T_{12}$ の場合にはDL400は不要となる。このときには、分周器107の出力信号をDL400の入力信号とすると共にバスタイミング信号Vと

して使用する。また、 $T_{s1} < T_{s2}$  の場合には、バスタイミング信号  $S$ 、 $V$  の周期を  $T$  とすると  $DLE000$  の遅延時間  $T_1$  が  $T - (T_{s2} - T_{s1})$  となるから  $T + (T_{s1} - T_{s2})$  であればよい。更に、上述の説明から容易に推測できるように、 $a$  を 0 以上の整数とすると、 $DLE000$  の遅延時間  $T_1$  は  $a \cdot T + (T_{s1} - T_{s2})$  であればよい。また、 $b$  を 0 以上の整数とすると  $DLE000$  の遅延時間  $T_2$  は  $b \cdot T + T_s$  であればよい。明らかに上記実施例は、 $a = 0$ 、 $b = 0$  の場合である。また、上記実施例ではバス 100 に接続される IP が 1 台の場合であったが、複数の場合でも同様に実施できる。この場合、バス 100 に対する各 IP の接続位置によって  $T_s$  が異なることを考慮して各 IP 内の  $DLE000$  を選ぶ必要がある。

#### 〔発明の効果〕

以上詳述したように本発明のバスクロック同期方式によれば、バスの伝播遅延時間補償用のケーブルが不要となり、またクロック供給用の

特開 58-184626 (6)

ドライバ回路を IP の台数分設ける必要がなくなり、構成が簡単になる。しかも簡単に構成できながらバスを經由したデータ転送速度の一面の高速化が図れる。

#### 4. 図面の簡単な説明

第 1 図は従来例を示すシステム構成図、第 2 図は従来のマザーボードの概略図、第 3 図は従来のインタフェース (IP) の内部ブロック図、第 4 図は従来例の動作を説明するためのタイミングチャート、第 5 図は本発明の一実施例を示す内部ブロック図、第 6 図は上記実施例の動作を説明するためのタイミングチャートである。

10, 300... 中央処理装置 (CPU)、11 ~ 14, 400... インタフェース (IP)、15, 200... バス、101, 402... 出力レジスタ、201... クロックライン、202... データライン、301... 基本クロック発生部 (CLK 発生部)、302, 407... 分周器、401... 位相ロックループ回路 (PLL 回路)、406... 電圧制御発振器 (VCO、可変周波数発振器)、

403, 408... 遅延回路 (DL)。

出願人代理人 弁護士 鈴 江 実 彦

特開昭58-184626(7)

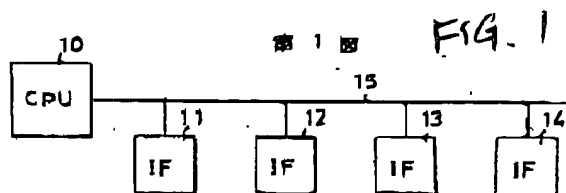
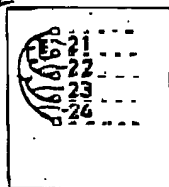


FIG. 2 第 2 図



第 3 図

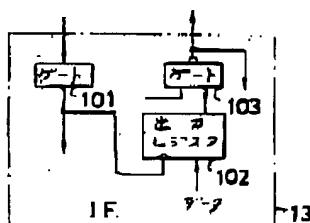


FIG. 4 第 4 図

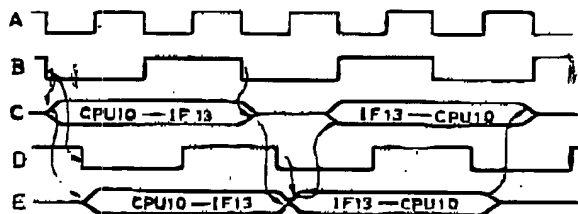


FIG. 5 第 5 図

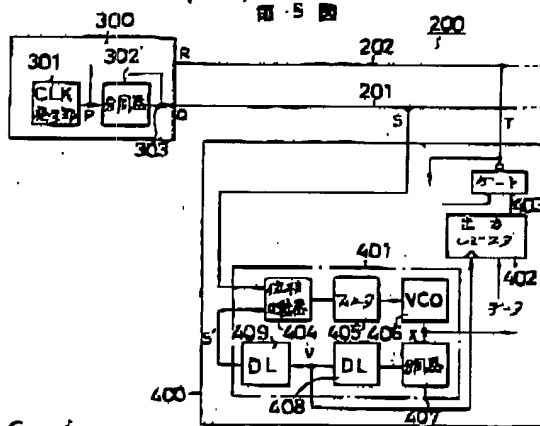


FIG. 6

第 6 図

